

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219421

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H01L 21/60  
H01L 21/301  
H01L 21/321

(21)Application number : 08-026434

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.1996

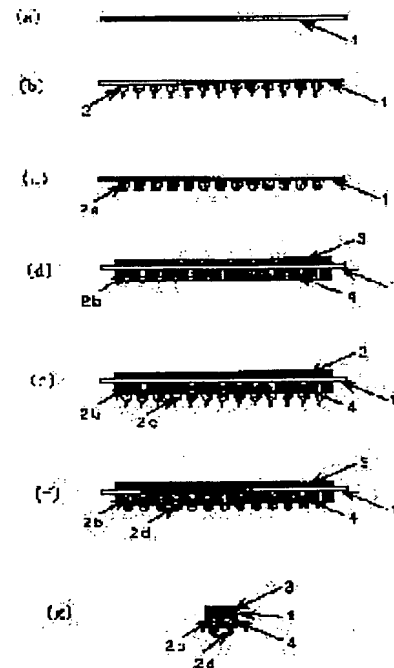
(72)Inventor : HASEBE AKIO  
MIYAMOTO TOSHIO  
ARIMA HIDEO  
YAMAMOTO KENICHI  
HARUTA AKIRA  
TSUBOSAKI KUNIHIRO  
MORINAGA KENICHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR ELECTRONIC COMPONENT AND WAFER

### (57)Abstract:

PROBLEM TO BE SOLVED: To shorten a TAT and reduce the cost of the TAT by a method wherein stud bump electrodes made of solder are respectively formed again on the point parts of first-layer electrodes, second-layer electrodes of a shape uniformized by reflowing the stud bump electrodes are formed and a wafer is diced into chips to obtain chip-sized packages.

SOLUTION: Solder stud bump electrodes 2 formed on a wafer 1 are subjected to leveling, electrodes 2a are formed and organic materials 3 and 4 are respectively provided on both surfaces of the surface and rear of the wafer 1 formed with the electrodes 2a making to interpose the wafer 1 between them by molding, coating or the like. A surface treatment, such as a polishing treatment, of these bump electrodes 2a and first electrodes 2b is performed, which respectively have a bump electrode upper part which is new and is easily wetted, are formed. Solder stud bump electrodes 2c are respectively formed again on the point parts of the electrodes 2b, the wafer 1 is reflowed to form second electrodes 2d obtainable by making even the electrodes 2c and the wafer 1 is diced into chips to obtain chip-sized packages.



## LEGAL STATUS

[Date of request for examination] 04.02.2003

[Date of sending the examiner's decision of rejection] 13.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2004-09811  
of rejection]

[Date of requesting appeal against examiner's 11.05.2004  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-219421

(43)公開日 平成9年(1997)8月19日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
21/301			21/78	A
21/321			21/92	6 0 2 D
				6 0 4 A
				6 0 4 J

審査請求 未請求 請求項の数26 O L (全 8 頁)

(21)出願番号 特願平8-26434

(22)出願日 平成8年(1996)2月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 長谷部 昭男

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 宮本 俊夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 有馬 英夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体電子部品の製造方法およびウエハ

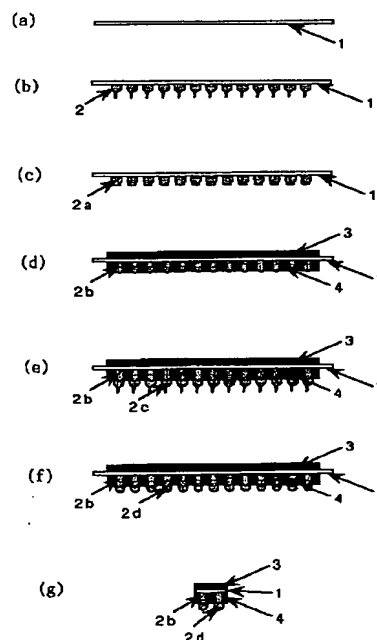
(57)【要約】

【課題】半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供する事を目的とする。

【解決手段】ウエハを基本単位としてP K G工程を経る。

【効果】最も安価で信頼性の高いチップサイズP K Gが得られる。

図1



## 【特許請求の範囲】

【請求項 1】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成し、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 2】請求項 1 に記載の第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成す工程が、

第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 2 層の電極と成し、

前記表面処理を施した第 2 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 3 層の電極と成す工程としたことを特徴とする請求項 1 に記載の半導体電子部品の製造方法。

【請求項 3】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 1、又は請求項 2 に記載の半導体電子部品の製造方法。

【請求項 4】請求項 2 に記載の前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングする工程において、前記ウエハの裏面上の有機材料の上に、導電性のある有機材料をモールド、またはコーティングする工程を加えたことを特徴とする請求項 2 に記載の半導体電子部品の製造方法。

【請求項 5】前工程にて回路を形成したウエハの表裏両面に、有機材料をモールド、またはコーティングし、前記ウエハ配線上の電極形成箇所にはんだのスタッドバンプを、エッチング、またはレーザ照射により孔状、又は溝

状に除去し、

前記孔状、又は溝状に除去した箇所に電極を形成し、前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 6】請求項 5 に記載の前記孔状、又は溝状に除去した箇所に電極を形成する工程の後に、熱伝導性の良い有機材料を、前記ウエハの裏面上の有機材料の上にモールドにて形成する工程を加えたことを特徴とする請求項 5 に記載の半導体電子部品の製造方法。

【請求項 7】請求項 5 に記載の前記孔状、又は溝状に除去した箇所に電極を形成する工程の後に、再度前記ウエハの表面上の有機材料の上に、有機材料をモールド、またはコーティングし、

前記ウエハ上の第 1 層の電極形成箇所に在る前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、

前記孔状、又は溝状に除去した箇所に第 2 層の電極を形成する工程の繰返しを加えたことを特徴とする請求項 5 に記載の半導体電子部品の製造方法。

【請求項 8】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのワイヤ電極を形成し、

前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記ワイヤ電極を、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成し、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 9】前記はんだのワイヤ電極、又ははんだのスタッドバンプが、Au、又は Cu により構成されたことを特徴とする請求項 8 に記載の半導体電子部品の製造方法。

【請求項 10】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングして電極と成し、

前記ウエハの裏面に、有機材料をモールド、またはコーティングし、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 11】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、

前記ウエハの表面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成し、前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 12】請求項 11 に記載の前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成す工程の後に、前記表面処理を施した電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成す工程を加えたことを特徴とする請求項 11 に記載の半導体電子部品の製造方法。

【請求項 13】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 10、請求項 11、又は請求項 12 に記載の半導体電子部品の製造方法。

【請求項 14】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成したことを特徴とするウエハ。

【請求項 15】請求項 14 に記載の第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングし、前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 2 層の電極と成し、

前記表面処理を施した第 2 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第

3 層の電極と成したことを特徴とする請求項 14 に記載のウエハ。

【請求項 16】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 14、又は請求項 15 に記載のウエハ。

【請求項 17】請求項 15 に記載の前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングするのと同様に、前記ウエハの裏面上の有機材料の上に、導電性のある有機材料をモールド、またはコーティングしたことを特徴とする請求項 15 に記載のウエハ。

【請求項 18】前工程にて回路を形成したウエハの表裏両面に、有機材料をモールド、またはコーティングし、前記ウエハ配線上の電極形成箇所にある前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、前記孔状、又は溝状に除去した箇所に電極を形成したことを特徴とするウエハ。

【請求項 19】請求項 18 に記載の前記孔状、又は溝状に除去した箇所に電極を形成した後に、熱伝導性の良い有機材料を、前記ウエハの裏面上の有機材料の上にモールドにて形成したことを特徴とする請求項 18 に記載のウエハ。

【請求項 20】請求項 18 に記載の前記孔状、又は溝状に除去した箇所に電極を形成した後に、再度前記ウエハの表面上の有機材料の上に、有機材料をモールド、またはコーティングし、

前記ウエハ上の第 1 層の電極形成箇所にある前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、

前記孔状、又は溝状に除去した箇所に第 2 層の電極を形成する工程の繰返しを加えたことを特徴とする請求項 18 に記載のウエハ。

【請求項 21】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのワイヤ電極を形成し、

前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記ワイヤ電極を、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成したことを特徴とするウエハ。

【請求項 22】前記はんだのワイヤ電極、又ははんだのスタッドバンプが、Au、又は Cu により構成されたことを特徴とする請求項 21 に記載のウエハ。

【請求項 23】前工程にて回路を形成したウエハに対

し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、  
該スタッドバンプを均一化した形状にレベリングして電極と成し、

前記ウエハの裏面に、有機材料をモールド、またはコーティングしたことを特徴とするウエハ。

【請求項24】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成したことを特徴とするウエハ。

【請求項25】請求項24に記載の前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成した後に、前記表面処理を施した電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第2層の電極と成したことを特徴とする請求項24に記載のウエハ。

【請求項26】前記はんだのスタッドバンプが、Au、又はCuのスタッドバンプであることを特徴とする請求項23、請求項24、又は請求項25に記載のウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供することを可能とする半導体電子部品の製造方法、及びその製造方法により製造されたウエハに関わるものである。

【0002】

【従来の技術】従来の半導体電子部品は、まず前工程において回路を形成したウエハをダイシングにより個別のチップ形状とし、ダイボンディングを行い固定する。次にチップの電極部を外部接続用に用意されたリードフレームのリードとワイヤーボンディングにより接続する。その後モールド成形機により樹脂封止され、バリ取り工程、メッキ工程、トリミング工程、フォーミング工程を経て最終的なPKGとなる。TABを用いたPKGにおいてもダイシングをしたチップとTABリードとをインナーリードボンディングにより接続し、ポッティング樹脂封止およびモールド樹脂封止され、バリ取り工程、トリミング工程、フォーミング工程を経て最終的なPKGとなる。

【0003】

【発明が解決しようとする課題】上記従来技術では、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供しようとする下記に示す課題がある。

【0004】1. 最終PKG形態における外部電極配置がPKG表面となるため、リードフレーム、TAB等を用いた構造だと電極形成が極めて困難となる。

【0005】2. 現状のPKG工程より、モールド工程前の配線リードフォーミング工程、モールド工程後の電極形成工程等が増加し、コスト高となる。

【0006】3. リードフレーム、TAB等を用いるため、PKGの高さ方向を薄くするのに限界がある。

【0007】4. リードフレームの一部である配線リードのフォーミングをモールド工程前に行うため、モールド工程が複雑となり、コスト高となる。

【0008】5. 配線リードがチップ表面電極部から短距離でPKG表面へと出るために、モールド樹脂と配線リード界面が応力等により剥離した場合、短時間で耐湿性不良となる。この電極部および配線リードに生じる応力を低減するには、リードフレームを用いたPKG構造では困難である。また、実装時においても電極部に応力緩和構造を取り入れることは困難である。このため、半導体電子部品の信頼性を確保することが難しくなる。

【0009】6. リードフレーム、TAB等をキャリアとしてPKG工程を経るため、TATの短縮すなわち低コスト化が困難である。

【0010】

【課題を解決するための手段】上記の課題を解決するための手段として、まず、ウエハ単位でモールド工程を経ることにより、TATの短縮および工程の削減を図っている。また、リードフレーム、TAB等を用いて電極をPKG外部に取り出さず、ウエハ配線上に電極を形成して外部に電極を取り出している。すなわち、ウエハ単位でモールド工程を経て最後にダイシング工程を行うことによって、最終のPKG形態を得る製造方法である。

【0011】ウエハ単位でモールド工程を経ることにより、個別のチップをパッケージにダイボンディングして固定する工程、またチップの電極部を外部接続用に用意されたリードフレームのリードヘワイヤーボンディングにより接続する工程等の削減を図ることができる。さらに、PKG製造工程の全ての工程をウエハ単位で行うことができ、TATの短縮を図ることができる。また、モールド工程においては、ウエハ上に円形に樹脂を形成するのみであるためモールド金型を簡単な形状の安価なものとすることができる。これは、ウエハサイズが同じならば別仕様品、別製品にも同じ金型を用いることができ、少量多品種生産においてTATの短縮および低コストを実現できる。また、バーイン工程もモールドした後のウエハを用いて容易に行うことができる。

10

## -20

30

40

5

するものである。尚、この工程の繰り返しにおいても同様であり、最適回数 $n$ 回繰り返すものである。

【0021】図6は、図5のウエハ1において、ウエハ1の裏面の有機材料3を通常のもールド、コーティング時に用いるものとし、有機材料9を図1d、e、fの工程を再度繰り返すとき、導電性のあるものとし電磁波シールドとして形成しているものである。

【0022】図7は、図2dのウエハ1において、ウエハ1の裏面側有機材料3の上に熱伝導の良い有機材料10をもールドにて形成した高放熱型チップサイズPKGの一例である。

【0023】図8は、図2のチップサイズPKG製造工程において、電極2j、2k、2lの形状を基板との接続信頼性が、向上するように任意の形状としたものである。ここで、電極2kの形状は、有機材料11のエッチング時に任意の形状とすることにより形成している。

【0024】図9は、図3のチップサイズPKG製造工程において、有機材料4から、電極2fが充分露出するように形成し、次に電極2mを形成したものである。

【0025】上記、図8、図9は、チップサイズPKGの高信頼化を図ったものである。

【0026】図10は、図1cのウエハ1裏面にのみ有機材料3を形成したものである。

【0027】これは、ベアチップPKGに最も近い構成となるが、取り扱い易さ等の面で優れているチップサイズPKGの一例である。

【0028】図11は、図1cのウエハ1表面にのみ有機材料4を形成したものである。これは、放熱性に優れたチップサイズPKGの一例であるが、実装形態としては、異方性導電膜等を用いた実装が好ましい。

【0029】図12は、図11に電極2dを形成したものであり、放熱性に優れたチップサイズPKGの一例である。

【0030】図13は、本発明の図1における製造工程

フローチャートを示したものである。ここで、特に重要なところは、PKG工程をウエハ単位で行っており、TATの短縮が可能である。また、ウエハ形状でバーイン、マーキング等をおこなっており、低コスト化に適したチップサイズPKGの製造工程である。

#### 【0031】

【発明の効果】本発明により、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供する事ができる。

#### 【図面の簡単な説明】

【図1】チップサイズPKGの製造方法1

【図2】チップサイズPKGの製造方法2

【図3】チップサイズPKGの製造方法3

【図4】ウエハでの有機材料被覆例

【図5】チップサイズPKG構造1

【図6】チップサイズPKG構造2

【図7】チップサイズPKG構造3

【図8】チップサイズPKG構造4

【図9】チップサイズPKG構造5

【図10】チップサイズPKG構造6

【図11】チップサイズPKG構造7

【図12】チップサイズPKG構造8

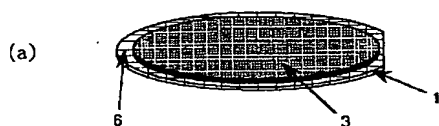
【図13】チップサイズPKG製造工程フローチャート

#### 【符号の説明】

1.....ウエハ	6.....スクライブライン
2.....電極	7.....ダイシング用溝
3.....有機材料3	8.....有機材料
4.....有機材料4	9.....有機材料
5.....電極形成用溝	10.....有機材料

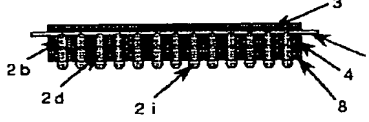
【図4】

図4



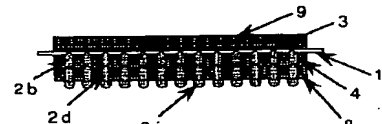
【図5】

図5



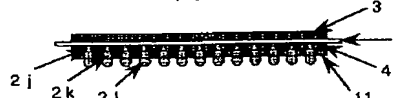
【図6】

図6



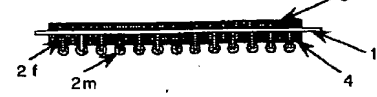
【図8】

図8



【図9】

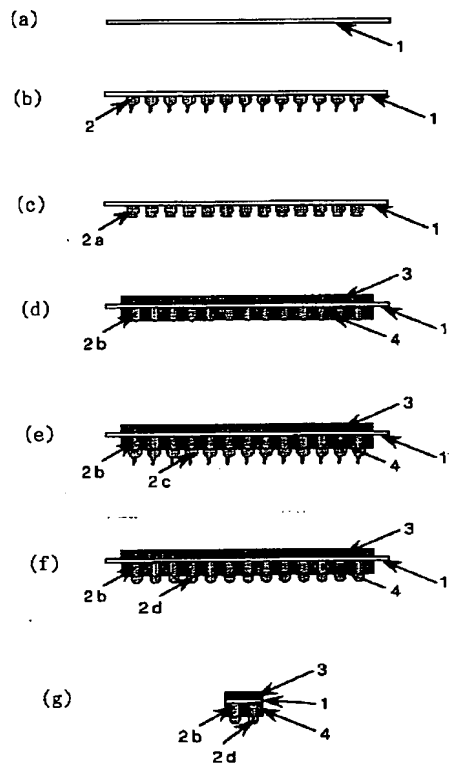
図9





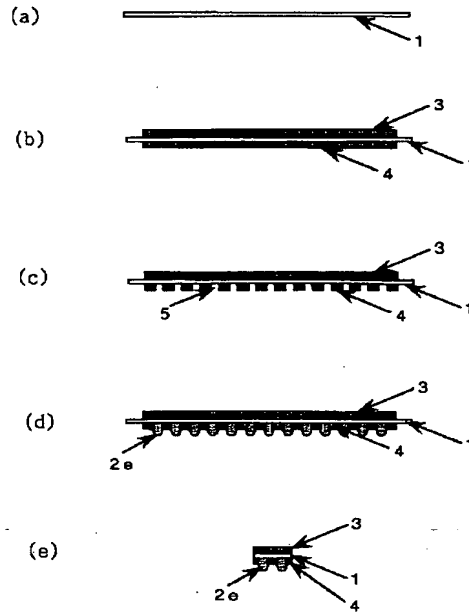
【図1】

図1



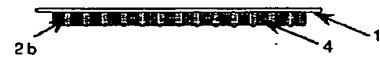
【図2】

図2



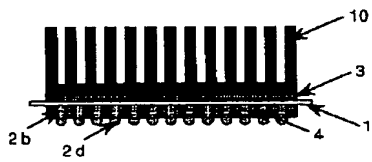
【図11】

図11



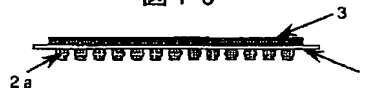
【図7】

図7



【図10】

図10

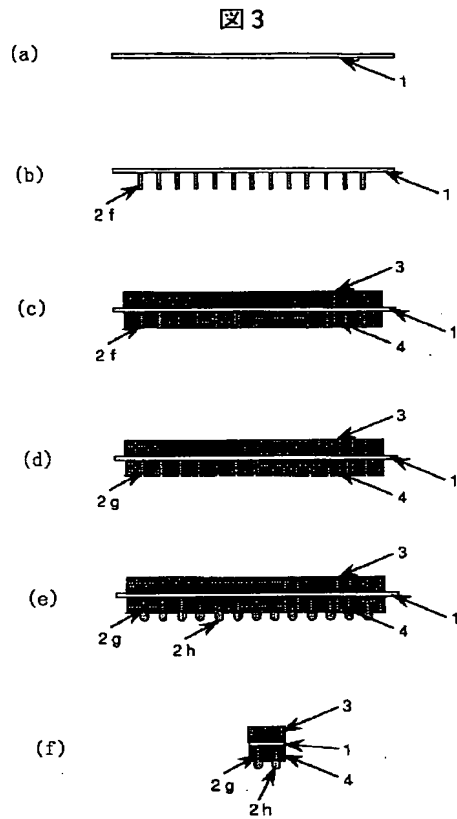


【図12】

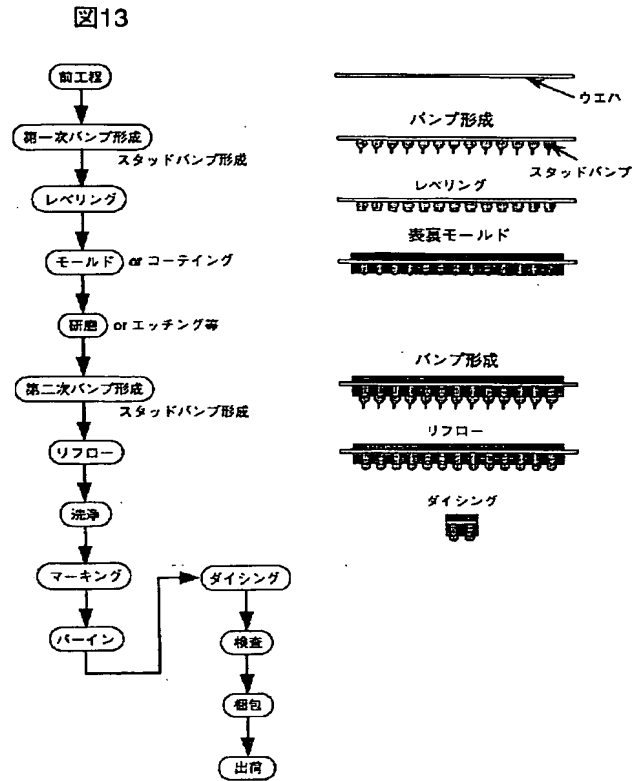
図12



【図3】



【図13】



フロントページの続き

(72)発明者 山本 健一  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 春田 亮  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 坪崎 邦宏  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 森永 賢一郎  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**